

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

8209602

Basic Patent (No,Kind,Date): JP 63208896 A2 880830 <No. of Patents: 002>

THIN FILM TRANSISTOR ARRAY (English)

Patent Assignee: NIPPON TELEGRAPH & TELEPHONE

Author (Inventor): MASUDA KIYOSHI; KODA SHIGETO; WADA TSUTOMU;
TSUNODA NOBUHIKO

IPC: *G09F-009/30; G02F-001/133; H01L-027/12; H01L-029/78

Derwent WPI Acc No: G 88-283143

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 63208896	A2	880830	JP 8742265	A	870225 (BASIC)
JP 95101268	B4	951101	JP 8742265	A	870225

Priority Data (No,Kind,Date):

JP 8742265 A 870225

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-208896

⑬ Int. Cl.⁴

G 09 F 9/30
G 02 F 1/133
H 01 L 27/12
29/78

識別記号

3 3 8
3 2 7
3 1 1

庁内整理番号

C-7335-5C
7370-2H
7514-5F
X-8422-5F

⑭ 公開 昭和63年(1988)8月30日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 薄膜トランジスタアレイ

⑯ 特 願 昭62-42265

⑰ 出 願 昭62(1987)2月25日

⑱ 発 明 者 増 田 清 東京都武蔵野市緑町3丁目9番11号 日本電信電話株式会社電子機構技術研究所内
⑲ 発 明 者 幸 田 成 人 東京都武蔵野市緑町3丁目9番11号 日本電信電話株式会社電子機構技術研究所内
⑳ 発 明 者 和 田 力 東京都武蔵野市緑町3丁目9番11号 日本電信電話株式会社電子機構技術研究所内
㉑ 発 明 者 角 田 信 彦 東京都武蔵野市緑町3丁目9番11号 日本電信電話株式会社電子機構技術研究所内
㉒ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号
㉓ 代 理 人 弁理士 澤井 敬史

明 細 書

1. 発明の名称

薄膜トランジスタアレイ

2. 特許請求の範囲

マトリクス状に配置された表示素子の透明電極と、当該透明電極に接続されて各表示素子を駆動する薄膜トランジスタと、当該薄膜トランジスタを駆動すべく接続されたゲート配線及びソース配線とを具備して構成される薄膜トランジスタアレイにおいて、

上記薄膜トランジスタは絶縁性基板(1)上に、下部ゲート電極(2)、下部ゲート絶縁膜(3)チャネル形成用の半導体層(4)、ソース及びドレインとして動作すべく上記下部ゲート電極上方において分離開口部を有して対向する一対の不純物ドーパ半導体層(5)、上部ゲート絶縁膜(6)、上部ゲート電極(12)、が順に積層されて構成され、

かつ、上記下部及び上部電極(2、12)は遮光性導体からなり、

かつ、上記下部ゲート電極(2)の延長部分たる下部ゲート配線(2')と上記上部ゲート電極(12)の延長部分たる上部ゲート配線(12')とは上記薄膜トランジスタ以外の部分において電気的に接続された部分を有することを特徴とする薄膜トランジスタアレイ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、液晶等を用いたアクティブマトリクス表示装置に用いられる薄膜トランジスタアレイの改良に関する。

(従来の技術)

近年、液晶、やエレクトロ、ルミネッセンス等の表示素子を用いたアクティブマトリクス型の画像表示装置の開発が進められている。このような表示装置においては、大面積化が可能である、低廉である等の理由によりガラス基板上に表示素子及びこれを選択的に駆動する複数のトランジスタが一体形成されるのが一般的でありアモルファス

シリコンを用いた薄膜トランジスタを使用するのが主流となりつつある。なお、薄膜トランジスタは1表示画素ごとに設けられており、また、表示画素の透明電極と接続されているので、透明電極も含めてマトリクス状に配置された複数の薄膜トランジスタを薄膜トランジスタアレイと呼んでいる。第2図(a)(b)は、従来の第1の例でありアクティブマトリクス表示装置の薄膜トランジスタアレイの1表示画素の平面図、およびA-A'の断面図である。ここで1はガラス基板、2はゲート電極、3はゲート絶縁膜、4はアモルファスシリコン(以後a-Siと記す)半導体層、5はn型不純物ドーパードa-Si半導体層、6は層間絶縁膜、7は透明画素電極、8はソース電極、9は透明画素電極に接続されたドレイン電極である。そしてソース電極8、ドレイン電極9は、それぞれスルーホール10を介してソース及びドレインとして動作すべく下部ゲート電極上方において分離開口部を有して対向する一対のn型不純物ドーパードa-Si半導体層5とオーミックコンタクト

をとった構造となっている。また平面図から明らかなようにソース電極8が延長したソース配線8'とゲート電極2が延長したゲート配線2'が直交しており、これらがマトリクスの選択線として機能する。なお、このような、従来の第1の例では、ゲート電極2の材料は、後に上層膜を形成する際の加熱工程を考慮して、比較的高抵抗であるが、耐熱性のあるNi、やNiCrが使用されていた。

第3図は、従来の第2の例であり、第1の例と同一部分には同一記号を附して説明を省略するが、最も異なる点はゲート電極2を最上部に配した点にある。このような従来の第2の例ではゲート電極2の膜厚を厚くできるので配線抵抗を小さくできるし、最後にゲート電極を形成するので、耐熱性は低いが高抵抗の材料であるAlを使用できる利点がある。

(解決すべき問題点)

しかしながら、このような従来の技術には以下の欠点があった。

第2図(a)(b)の、従来の第1の例では、ゲート電極2の材料として、NiやNiCrが使用されていたので抵抗が高く、画像表示装置の大型、大面積化に伴い配線長が長くなると配線抵抗にもとづく時定数によるゲート線遠端部での伝播遅延が大きくなり、高速書き込みができなくなったり、誤った表示となる等の問題があった。また、この対策としてゲート電極2の膜厚を厚くして配線抵抗を減少させることが考えられるが、この場合には、段差が増大しゲート絶縁膜等の上層膜の段切れ欠陥を誘発し短絡不良や、リーク電流の増大を招く等の新たな問題が発生する。

また、第3図の、従来の第2の例では、上述の問題は解決されるものの、a-Si半導体層4を堆積後、一旦真空を破って外部に取り出しパターニングした後、再度真空容器内でゲート絶縁膜3を堆積する必要があるので、薄膜トランジスタで最も重要なチャネル部近傍、即ちa-Si半導体層4とゲート絶縁膜3の境界面近傍に欠陥が生じ、素子特性を劣化させる問題があった。

更に、a-Si半導体は光が照射されると導電率が著しく変化するが、従来の第1及び第2の例では何れもa-Si半導体層4の一方の面のみが、透光性のゲート電極2により遮光されている。換言すれば他方の面は遮光されておらず、a-Si半導体層4中に形成されるチャネル部に光が到達してしまう。このため、薄膜トランジスタの特性が外部からの光によって変化する、誤った表示をする問題があった。

(問題点を解決するための手段)

本発明は、かかる従来の問題点を解決することを目的とし、問題点解決の具体的手段として、薄膜トランジスタのゲート電極及びその延長したゲート配線をチャネルが形成される半導体層4を挟んで上方と下方に2本設けた2層配線構造としたものである。さらに両配線材料には、ともに透光性導体を用い、さらに上記2層配線をトランジスタ以外の部分において電気的に接続したものである。

〔実施例〕

以下に実施例をともなって本発明の作用、効果を詳細に説明する。

第1図(a)は本発明の薄膜トランジスタアレイの1画素の平面図、第1図(b)は第1図(a)のA-A'断面図、同じく(c)はB-B'断面図、である。

1はガラス基板、2はNiCrの蒸着膜からなる下部ゲート電極、3はCVD法により形成した窒化Siからなる下部ゲート絶縁膜、4はアモルファスシリコンからなる半導体層、5はn型不純物(磷)をドーパしたアモルファスシリコンからなる一対の半導体層で、図示のごとくソース及びドレインとして動作すべく上記下部ゲート電極上方において分離開口部を有して対向している。

6は3と同じくCVD法により形成した窒化Siからなる上部ゲート絶縁膜、7はITO(In, Tin, Oxid)からなる表示画素の透明電極、8及び9はAl膜からなるソース、ドレイン電極、10はソース、ドレイン部の電極取り出し用

のスルーホール、11は下部ゲート電極(2)の延長部分たる下部ゲート配線(2')と上部ゲート電極(12)の延長部分たる上部ゲート配線(12')とを薄膜トランジスタ以外の部分において電気的に接続するためのスルーホール、12は上部ゲート電極である。ここで下部及び上部電極(2, 12)は遮光性導体であれば良く、上述の材料に限定されない。なお実施例では上部電極をソース、ドレイン電極と同じAl膜を用いているが別の材料からなる層を別工程で形成しても良い。ただし、同一材料を用いればフォトマスクの使用枚数が少なくてすむので歩留りの向上が期待できる。

このように、薄膜トランジスタのゲート電極及びその延長したゲート配線をチャネルが形成されるa-Si半導体層4を挟んで上方と下方に2本設けた2層配線構造としたので、配線抵抗を従来例に比べて極めて小さくできるので画像表示装置の大型、大面積化に伴い配線長が長くなっても配線抵抗にもとづく時定数によるゲート線遠端部での

伝播遅延が大きくなり、高速書き込みが可能で、誤表示が生じないという実用上極めて大なる効果を奏する利点がある。また2層配線をトランジスタ以外の部分において電気的に接続しているため、一方の配線が断線した場合でもトランジスタの駆動が可能であるので信頼性が向上できる利点がある。電気的接続部分の数を多く取ればそれだけ信頼性を更に向上できることは言うまでもない。

更にチャネルが形成されるa-Si半導体層4はその両面が遮光性導体により外光より保護されているので薄膜トランジスタの特性を極めて安定に保つことができる。

更に図示は省略するが、上下2層のデュアルゲート構造となっているので、チャネルはa-Si半導体層4の表面と裏面の近傍に2本形成されるのでトランジスタの負荷(表示画素)駆動能力を増大できる利点がある。

〔発明の効果〕

以上説明したように本発明によれば薄膜トランジスタのゲート電極及びその延長したゲート配線をチャネルが形成される半導体層を挟んで上方と下方に2本設けた2層配線構造とし、配線材料に遮光性導体を用い、さらに上記2層配線をトランジスタ以外の部分において電気的に接続したものであるから、配線抵抗を低くでき大型表示装置の表示誤り等を防止できる。配線の一部に断線があっても救済できる。外部の光による誤動作を防止できる等の多大な効果が期待できる。

4. 図面の簡単な説明

第1図は本発明の薄膜トランジスタアレイの1画素の構造説明図で(a)は平面図、(b)はA-A'断面図、同じく(c)はB-B'断面図、である。

第2図は従来薄膜トランジスタアレイの1画素の構造説明図で(a)は平面図、(b)はA-A'断面図、である。

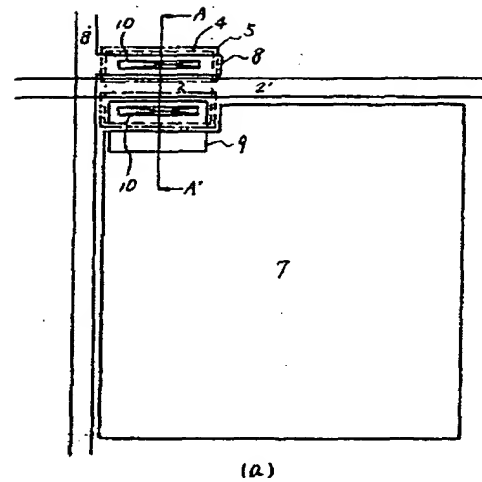
第3図は他の従来薄膜トランジスタアレイの1画素の構造説明図(断面図)である。

- 1 . . . ガラス基板
- 2, 12 . . . ゲート電極
- 2' . . . 12' . . . ゲート配線
- 3, 6 . . . 絶縁膜、
- 4 . . . チャネル形成用 (アモルファスシリコン)
半導体層
- 5 . . . ソース及びドレイン領域 (n型不純物ド
ープアモルファスシリコン) 半導体層)
- 7 . . . 透明画素電極、
- 8, 9 . . . ソース、ドレイン電極、
- 8' . . . ソース配線
- 10 . . . ソース、ドレイン部の電極取り出し用
のスルーホール
- 11 . . . ゲート配線を相互に接続するための
スルーホール

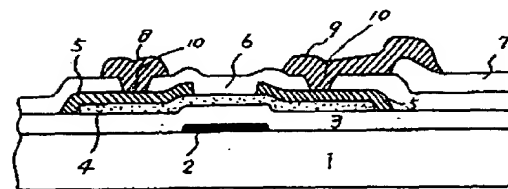
代理人

日本電信電話株式会社研究開発本部内

澤 井 敬 史

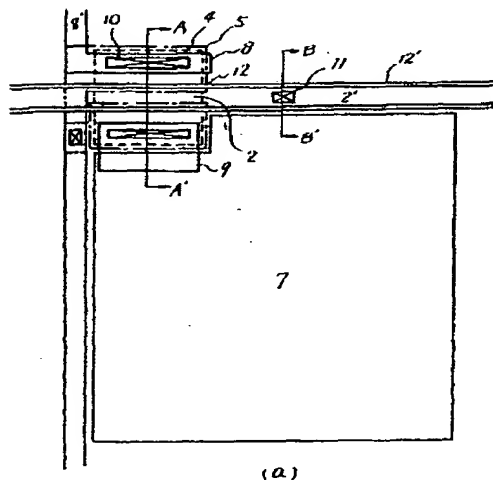


(a)

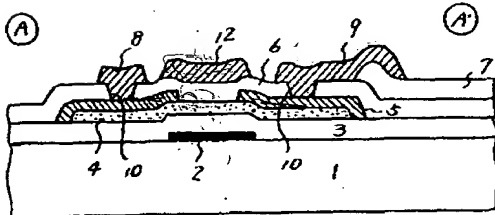


(b)

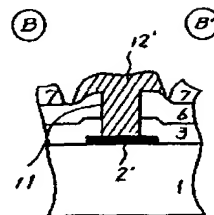
第 2 図



(a)

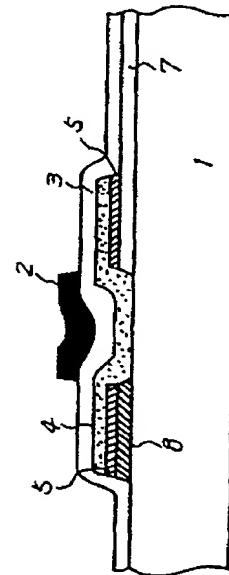


(b)



(c)

第 1 図



第 3 図